

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representation of
The original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.**

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: 02126730 A

(43) Date of publication of application: 15 . 05 . 90

(51) Int. Cl

H03M 13/00

(21) Application number: 63280681

(71) Applicant: FUJITSU LTD

(22) Date of filing: 07 . 11 . 88

(72) Inventor: WATANABE TOMOYUKI
INOUE TAKESHI

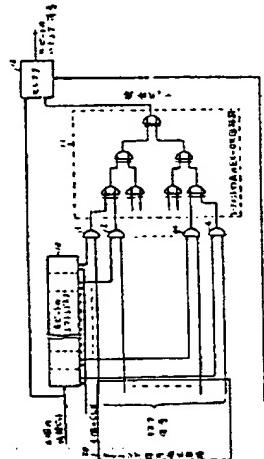
(54) HAMMING ENCODER

(57) Abstract:

PURPOSE: To obtain a hamming encoder with a small circuit scale by successively generating the inspection bit one by one without generating simultaneously plural inspection bits.

CONSTITUTION: The (k) bits of information are successively inputted to a selector 12 and fetched and held to a shift register 10. A mask signal inputted to logic circuits 1, 2...k-1, K is made into a signal to mask the unrelated information bit at respective timings with the timing to obtain successively the (m) bits of inspection at a timing signal generating circuit 20. Thus, the (m) bits of exclusive OR format generating polynomial inspection are successively outputted from a tournament format EX-OR circuit group 11 and inputted to the selector 12. A selecting signal is inputted to the selector 12, the (m) of the inspection are selected and outputted next to the (k) bits of information and transmitted as a hamming code.

COPYRIGHT: (C)1990,JPO&Japio



⑨日本国特許庁(JP)

⑩特許出願公開

⑪公開特許公報(A)

平2-126730

⑫Int.Cl.

H 03 M 13/00

識別記号

庁内整理番号

6832-5J

⑬公開 平成2年(1990)5月15日

審査請求 未請求 請求項の数 1 (全8頁)

⑭発明の名称 ハミング符号化器

⑮特 願 昭63-280681

⑯出 願 昭63(1988)11月7日

⑰発明者 渡辺 智之 栃木県小山市城東3丁目28番1号 富士通デジタル・テクノロジ株式会社内

⑰発明者 井上 武志 栃木県小山市城東3丁目28番1号 富士通デジタル・テクノロジ株式会社内

⑰出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑰代理人 弁理士 井桁 貞一

明細書

1 発明の名称

ハミング符号化器

2 特許請求の範囲

$k < k = n - m$, n はハミング符号ビット数。
 m = 検査ビット数) 個の直列入力情報ビットをセレクタ(12)に順次入力するとともに、シフトレジスタ(10)に k 個のクロックにて取り込み保持し、該シフトレジスタ(10)の k 個の情報ビットを出力を夫々、タイミング信号発生回路(20)よりのマスク信号の入力している k 個の論理積回路(1, 2, ..., k-1, k)に入力し、該 k 個の論理積回路(1, 2, ..., k-1, k)の出力をトーナメント形式の排他的論理和回路群(11)に入力し、該 k 個の論理積回路(1, 2, ..., k-1, k)に入力しているマスク信号を、該タイミング信号発生回路(20)にて順次 m 個の検査ビットを得るタイミングで、夫々のタイミングでは無関係な情報ビットをマス

クする信号とし、該排他的論理和回路群(11)にて生成される m 個の検査ビットを順次該セレクタ(12)に入力し、該セレクタ(12)では、該 k 個の情報ビットを出力した後、該 m 個の検査ビットを選択して出力するようにしたことを特徴とするハミング符号化器。

3 発明の詳細な説明

(概要)

排他的論理和形式の生成多項式の m 個の検査ビットを持つハミング符号化器に関し、

回路規模の小さいハミング符号化器の提供を目的とし、

k 個の直列入力情報ビットをセレクタに順次入力するとともに、シフトレジスタに k 個のクロックにて取り込み保持し、該シフトレジスタの k 個の情報ビットを出力を夫々マスク信号の入力している k 個の論理積回路に入力し、該 k 個の論理積回路の出力をトーナメント形式の排他的論理和回路群に入力し該排他的論理和回路群にて生

成される m 個の検査ビットを順次族セレクタに入力し、該セレクタでは、該 k 個の情報ビットを出力した後、該 m 個の検査ビットを選択して出力するように構成する。

〔産業上の利用分野〕

本発明は、排他的論理和形式の生成多項式の m 個の検査ビットを持つハミング符号化器の改良に関する。

ハミング符号とは、1ビットの誤りを検出し訂正することが可能な符号で、 k 個の情報ビットに m 個の検査ビットを付加し、全体にある関係をつけて、 $n = k + m$ ビットの符号として送信し、受信側では、その関係が満たされているかどうかを検出し、誤りがあれば何ビット目であるかを検出するものであり、回路規模を小さく出来ることが望まれている。

〔従来の技術〕

以下従来例を図を用いて説明する。

排他的論理和回路（以下 EX-OR と称す）22, 23 よりなる EX-OR の組 30 に入力し、情報ビット D, C, A は、検査ビット F 用の生成多項式 $D \oplus C \oplus A$ とする為に、EX-OR 24, 25 よりなる EX-OR の組 31 に入力し、情報ビット D, B, A は、検査ビット G 用の生成多項式 $D \oplus B \oplus A$ とする為に、EX-OR 26, 27 よりなる EX-OR の組 32 に入力し、EX-OR の組 30, 31, 32 の出力より検査ビット E, F, G を得、タイミング信号発生回路 20-2 よりの第 7 図の (C) に示すロード信号により、シフトレジスタ 48 に並列に入力し、出力より E, F, G の順に直列に出力する。

この時タイミング信号発生回路 20-2 よりのセレクト信号は、第 7 図 (E) に示す如く H レベルとなるので、セレクタ 12 よりは、第 7 図 (E) に示す如く、情報ビット A, B, C, D、検査ビット E, F, G の順に出力されハミング符号化される。

情報ビット A, B, C, D に対し検査ビット E,

第 6 図は従来例のハミング符号化器のブロック図、第 7 図は第 6 図のタイムチャート、第 8 図は 1 例の生成多項式が排他的論理和形式の場合の誤り発生ビット検出を示す図である。

第 6 図は、4 個の情報ビット A, B, C, D と 3 個の検査ビット E, F, G よりなる 7 ビットのハミング符号で、検査ビット E, F, G の生成多項式は下記の如く排他的論理和形式のものである。

$$E = D \oplus C \oplus B$$

$$F = D \oplus C \oplus A$$

$$G = D \oplus B \oplus A$$

○は排他的論理和を示す。

シフトレジスタ 10 に第 7 図 (A) に示す如き A, B, C, D よりなる 4 個の情報ビットが入力すると、(B) に示す如くシフトレジスタ 10 に入力すると共に、出力 QA より順次セレクタ 12 に入力して出力する。

A, B, C, D の情報ビットがシフトレジスタ 10 に入力すると、情報ビット D, C, B は、検査ビット E 用の生成多項式 $D \oplus C \oplus B$ とする為に、

P, G の生成多項式が、第 8 図 (A) に示す如く、
 $E = D \oplus C \oplus B$, $F = D \oplus C \oplus A$, $G = D \oplus B \oplus A$ で、送信ハミング符号が第 8 図 (B) に示す如く A, B, C, D, E, F, G で、受信したハミング符号が (C) に示す如く、'A', 'B', 'C', 'D', 'E', 'F', 'G' であり、(D) の左欄に示す如く 1 ビットの誤りが発生すると、誤り発生ビットに対する再符号化した時の検査ビットの状態は (D) の右欄に示す如く、例えば誤りが無ければ、'E', 'F', 'G' は夫々 'E'', 'F'', 'G'' と等しいものが、 $A \neq A'$ の場合は、'E' \neq 'E'', 'G' \neq 'G'' となり、 $B \neq B'$ の場合は、'F' \neq 'F'', 'G' \neq 'G'' となる。以下図に示す如くである。

即ち、1 ビットの誤りが発生すると、受信した検査ビット 'E', 'F', 'G' と再符号化した検査ビット 'E'', 'F'', 'G'' とが等しいものと異なるものが生じ、その内容により誤りビットの位置が検出出来、訂正することが出来る。

〔発明が解決しようとする課題〕

しかしながら、各検査ビット毎に、同時に生成多項式を生成して出力する為に、EX-OR回路の数が多く、又同時に生成した各検査ビットを並列に入力し直列に出力する為のシフトレジスタが必要で回路規模が大きくなる問題点がある。

本発明は回路規模の小さい排他的論理和形式の生成多項式の検査ビットを持つハミング符号化器の提供を目的としている。

〔課題を解決するための手段〕

第1図は本発明の原理図で(A)は構成を示すブロック図、(B)はタイムチャートである。

第1図(A)に示す如く、直列に入力するk個の情報ビットをセレクタ12に順次入力するとともに、シフトレジスタ10にk個のクロツクにて取り込み保持し、該シフトレジスタ10のk個の情報ビット夫々の出力を夫々、タイミング信号発生回路20よりのマスク信号の入力しているk個の論理積回路1, 2, ..., k-1, kに入力し、

(B)の(c)に示す如く取り込み保持する。

シフトレジスタ10に保持したk個の情報ビットは夫々、タイミング信号発生回路20よりのマスク信号の入力しているk個の論理積回路1, 2, ..., k-1, kに入力する。

論理積回路に入力するマスク信号をレベルとすると、該論理積回路に入力している情報ビットは出力されず出力はレベルになる点及び、EX-OR回路では、一方の入力レベルがレベルであると、他方の入力はスルーに出力する点に着目し、該k個の論理積回路1, 2, ..., k-1, kに入力している(B)の(d)に示すマスク信号を、タイミング信号発生回路20にて、m個の検査ビットを順次得るタイミングで、夫々のタイミングでは無関係な情報ビットをマスクするようにして、m個の検査ビットを、同時に生成せず、1検査ビットづつ順次生成するようにしており、排他的論理和形式の生成多項式を得る為のEX-OR回路の数を減少することが出来、又m個の生成多項式の検査ビットを同時に並列に入力し、直列に出力するシフトレジスタも不要になるので、回路規模を小さくすることが出来る。

こうすると、トーナメント形式のEX-OR回路群11の出力よりは、順次、m個の排他的論理和形式の生成多項式の検査ビットが出力されセレクタ12に入力する。

該k個の論理積回路1, 2, ..., k-1, kの出力をトーナメント形式の排他的論理和回路群11に入力する。

そして、該k個の論理積回路1, 2, ..., k-1, kに入力しているマスク信号を、該タイミング信号発生回路20にて順次m個の検査ビットを得るタイミングで、夫々のタイミングでは無関係な情報ビットをマスクする信号とし、該排他的論理和回路群11にて生成されるm個の検査ビットを順次出力して該セレクタ12に入力する。

そして、該セレクタ12では、該k個の情報ビットを出力した後、該m個の検査ビットを選択して出力するようとする。

〔作用〕

本発明では、第1図(B)の(a)に示す直列に入力するk個の情報ビットをセレクタ12に順次入力する。

一方、該k個の情報ビットを(B)の(b)に示すk個のクロツクにて、シフトレジスタ10に

セレクタ12には(B)の(e)に示す如き選択信号が入力しており、出力よりは(B)の(f)に示す如く、k個の情報ビットの次にm個の検査ビットが選択出力されハミング符号として送信される。

このように、論理積回路を用い、これに入力するマスク信号を、m個の検査ビットを順次得るタイミングで、夫々のタイミングでは無関係な情報ビットをマスクするようにして、m個の検査ビットを、同時に生成せず、1検査ビットづつ順次生成するようにしており、排他的論理和形式の生成多項式を得る為のEX-OR回路の数を減少することが出来、又m個の生成多項式の検査ビットを同時に並列に入力し、直列に出力するシフトレジスタも不要になるので、回路規模を小さくすることが出来る。

〔実施例〕

以下本発明の1実施例に付き図に従って説明する。

第2図は本発明の実施例のハミング符号化器のブロック図、第3図は第2図の場合のタイムチャート、第4図は本発明の1段階を説明する1例のハミング符号化器のブロック図、第5図は第4図のタイムチャートである。

第2図、第4図は従来例と同じく、4個の情報ビットA、B、C、Dと、排他的論理和形式の生成多項式の3個の検査ビットE、F、Gよりなる7ビットのハミング符号の場合である。

まづ第4図、第5図を用いて並列入力を直列出力にするシフトレジスタをなくすることが出来る方法につき説明する。

第4図では、第5図の(A)に示すA、B、C、Dの情報ビットが入力すると、これはセレクタ12に入力し出力される。

一方この情報ビットは、タイミング信号発生回路20-1よりの第5図(B)に示す4個の制御クロックにて(C)に示す如くシフトレジスタ10に入力し保持される。

このシフトレジスタ10の出力を用い、排他的

論理和形式の生成多項式の検査ビットE、F、Gを生成するのは第6図の従来例と同じであり、同時に生成された検査ビットE、F、Gはセレクタ21に入力する。

セレクタ21には、第5図(SEL1)(SEL2)(SEL3)に示す如き、検査ビットE、F、Gを順次選択して出力する信号が、タイミング信号発生回路20-1より出力されているので、セレクタ21よりは検査ビットE、F、Gが順次出力される。

又タイミング信号発生回路20-1より出力する第5図(D)に示す如き選択信号がセレクタ12に入力しているので、セレクタ12よりは、第5図(E)に示す如く情報ビットA、B、C、Dの次に検査ビットE、F、Gが出力され、ハミング符号となる。

即ち、第5図(SEL1)(SEL2)(SEL3)に示す如き、検査ビットE、F、Gを順次選択して出力する信号のタイミングに合わせ、検査ビットE、F、Gを順次得るようにすれば、並

列入直列出力のシフトレジスタをなくすることが出来るので、第2図、第3図の本発明の実施例では、検査ビットE、F、Gを順次出力するタイミングの信号を用いると共に、検査ビットE、F、Gを同時に生成せず、このタイミングに合わせ、順次生成するようにしている。

以下第2図、第3図を用いて本発明の実施例を説明する。

第2図では、第3図(A)に示すA、B、C、Dの情報ビットが入力すると、セレクタ12に入力し、順次出力される。

又タイミング信号発生回路20-1よりの第3図(B)に示す4個の制御クロックにて、第3図(C)に示す如く、シフトレジスタ10に入力し保持される。

このシフトレジスタ10の出力の情報ビットA、B、C、をアンド回路1、2、3に入力し、情報ビットDは検査ビットE、F、Gの全ての場合に用いマスクする必要がないので、そのノントーナメント形式のEX-OR回路群11のEX-OR回

路41に入力する。

又アンド回路1、2、3にはタイミング信号発生回路20よりの信号で第3図(DEC1)(DEC2)(DEC3)に示す如き、検査ビットE、F、Gを生成するタイミングではLレベルとなるマスク信号DEC1、DEC2、DEC3がデコーダ13より入力している。

今マスク信号DEC1の信号がLレベルの場合で説明すると、情報ビットAはマスクされアンド回路1より出力されず、又アンド回路1の出力はLレベルとなる。

すると、アンド回路2より出力される情報ビットBはEX-OR回路40はスルーに通りEX-OR回路42に入力する。

一方アンド回路3より出力される情報ビットCは、EX-OR回路41に入力する。

この状態は、第6図のEX-ORの組30の状態と同じであり、出力よりは生成多項式D₀C₀Bの検査ビットEが outputされ、セレクタ12に入力する。

この時、セレクタ12には検査ビットを選択する第3図(D)に示す如き信号が入力しているので、情報ビットEはセレクタ12より出力される。

マスク信号DEC2, DEC3が、第3図(DEC2)(DEC3)に示す如く、Lレベルとなると、上記と同様にしてトーナメント形式のEX-OR群11よりは、生成多項式DOCOA, DOBOAの検査ビットF, Gが生成され、セレクタ12より出力される。

即ち、セレクタ12の出力は第3図(E)に示す如く、A, B, C, D, E, F, Gのハミング符号となる。

尚デコーダ13の内部は、 NAND回路14~16, ノット回路17, 18を用いた通常のものである。

そこで、第2図と第6図の場合で、回路規模を比較すると、第6図の場合は、EX-OR回路6個で $4 \times 6 = 24$ BC(ベーシック・セル)で、又シフトレジスタ28が24BCで合計48BCとなり、第2図の場合は、デコーダ13が5BC

でアンド回路3個で $2 \times 3 = 6$ BCでEX-OR回路3個で $4 \times 3 = 12$ BCで合計23BCとなり、回路規模は25BCの削減となる。

この回路規模の減少は、検査ビットの数が多く、ビット数の多いハミング符号となる程顕著になる。

(発明の効果)

以上詳細に説明せる如く本発明によれば、回路規模の小さい、排他的論理和形式の生成多項式の検査ビットを持つハミング符号化器が得られる効果がある。

4 図面の簡単な説明

第1図は本発明の原理図、
第2図は本発明の実施例のハミング符号化器のブロック図、
第3図は第2図の場合のタイムチャート、
第4図は本発明の1段階を説明する1例のハミング符号化器のブロック図、
第5図は第4図のタイムチャート、

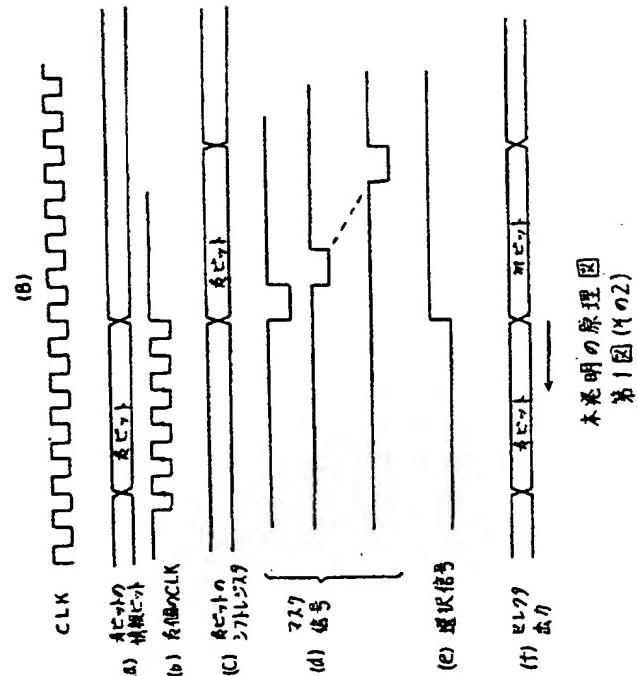
第6図は従来例のハミング符号化器のブロック図、
第7図は第6図のタイムチャート。

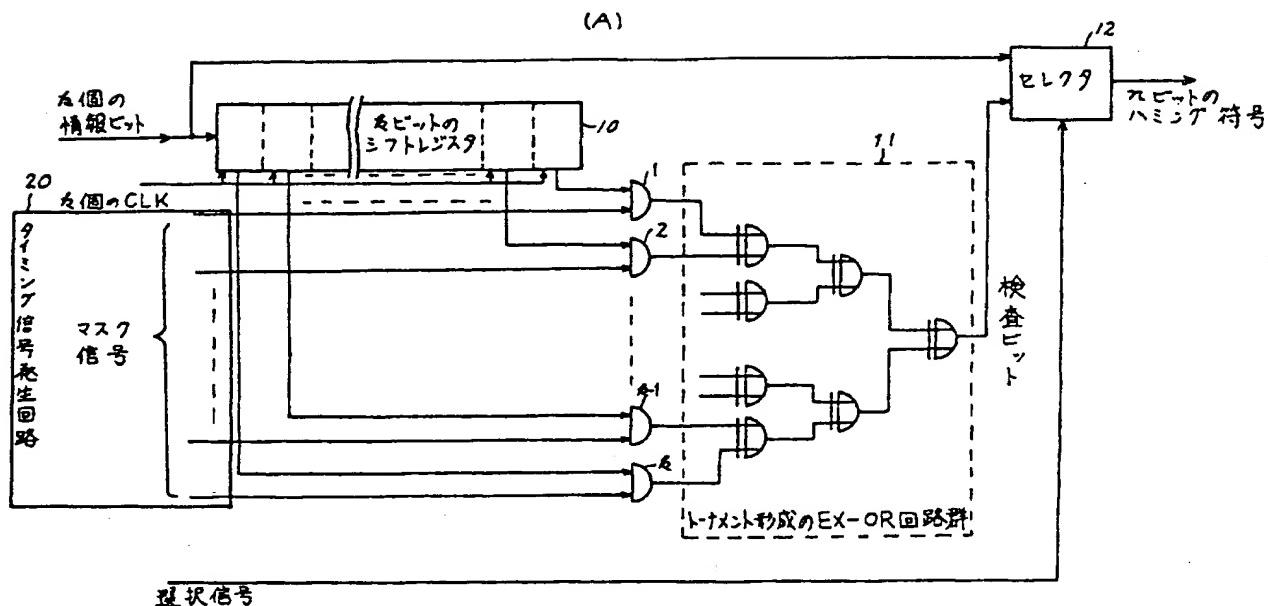
第8図は1例の生成多項式が排他的論理和形式の場合の誤り発生ビット検出を示す図である。

図において、

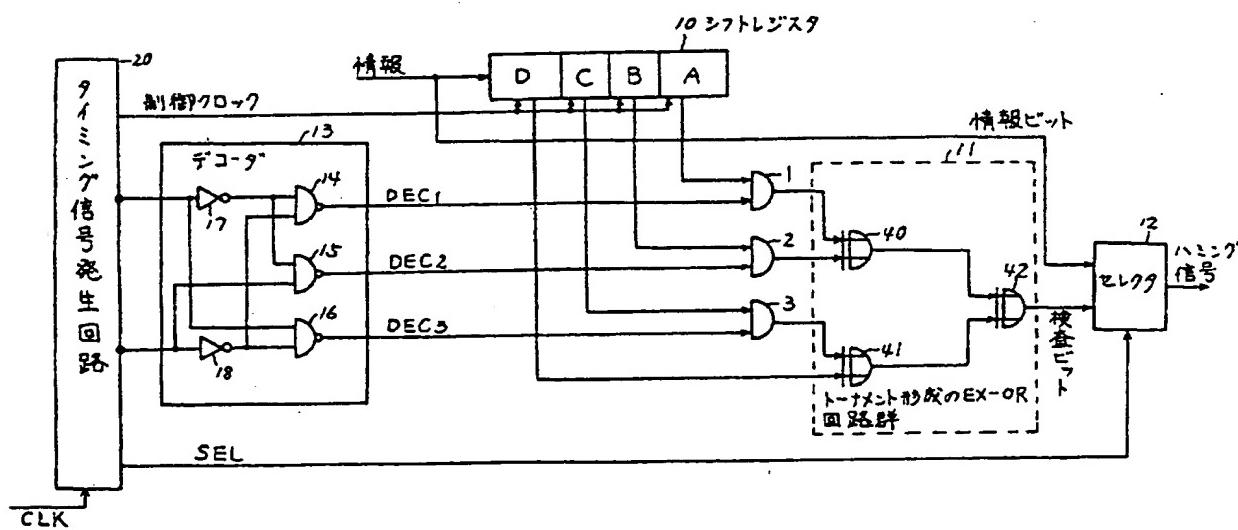
- 1, 2, 3, k-1, kは論理積回路、
- 10, 28はシフトレジスタ、
- 11はトーナメント形式の排他的論理和回路群、
- 12, 21はセレクタ、
- 13はデコーダ、
- 14~16は NAND回路、
- 17, 18はノット回路、
- 20, 20-1, 20-2はタイミング信号発生回路、
- 22~27, 40~42は排他的論理和回路、
- 30, 31, 32は排他的論理和回路の組を示す。

代理人弁理士 井桁 真一

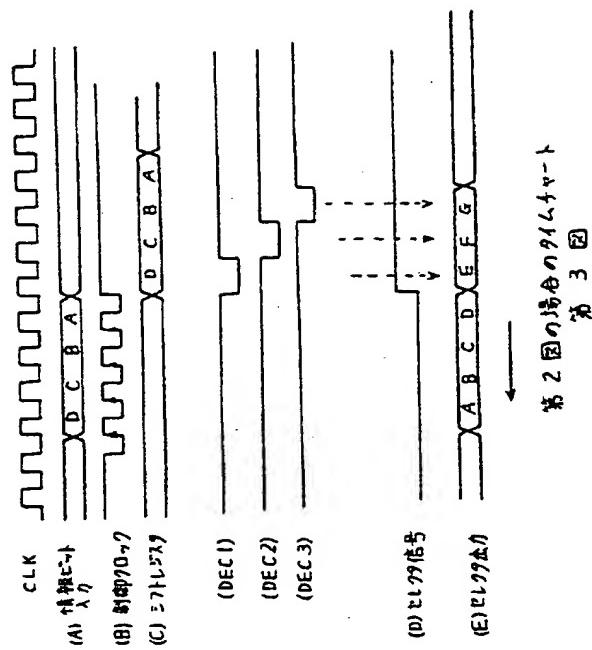




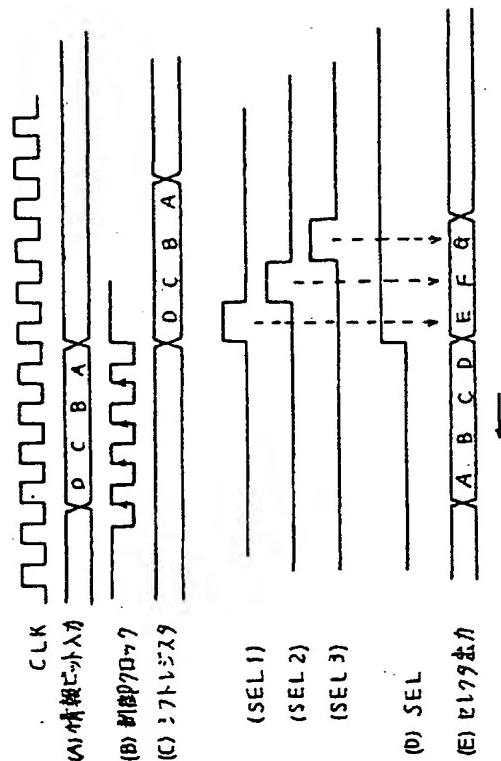
本発明の原理図
第1図(甲の1)



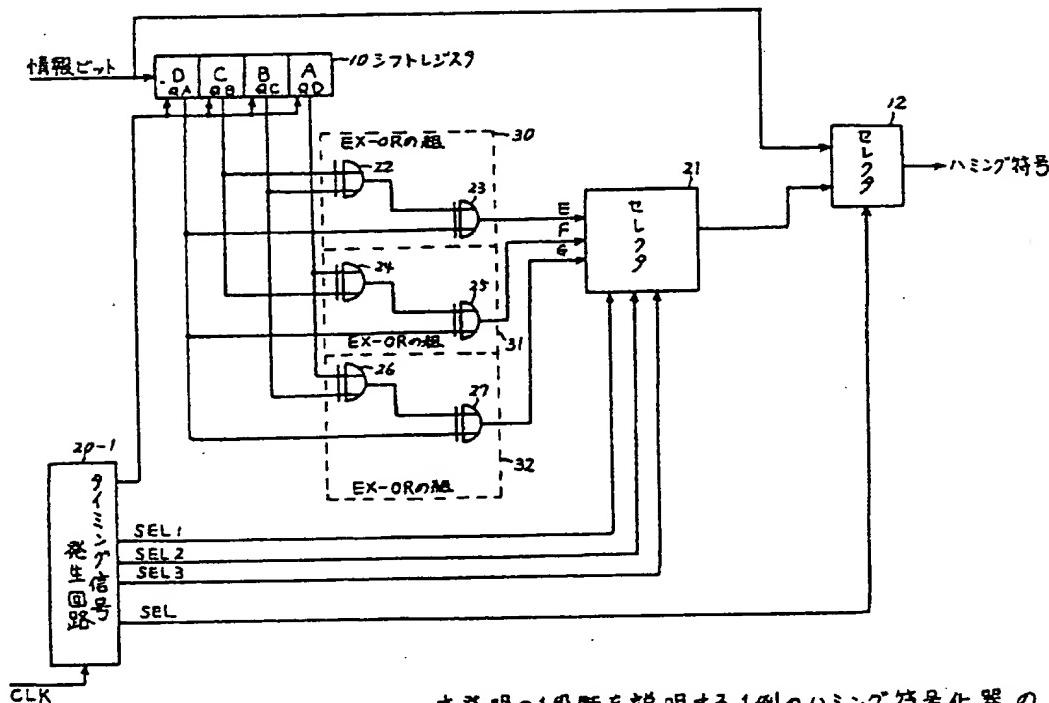
本発明の実施例のハミング符号化器のブロック図
第2図



第2図の場合のタイミング図
第3図

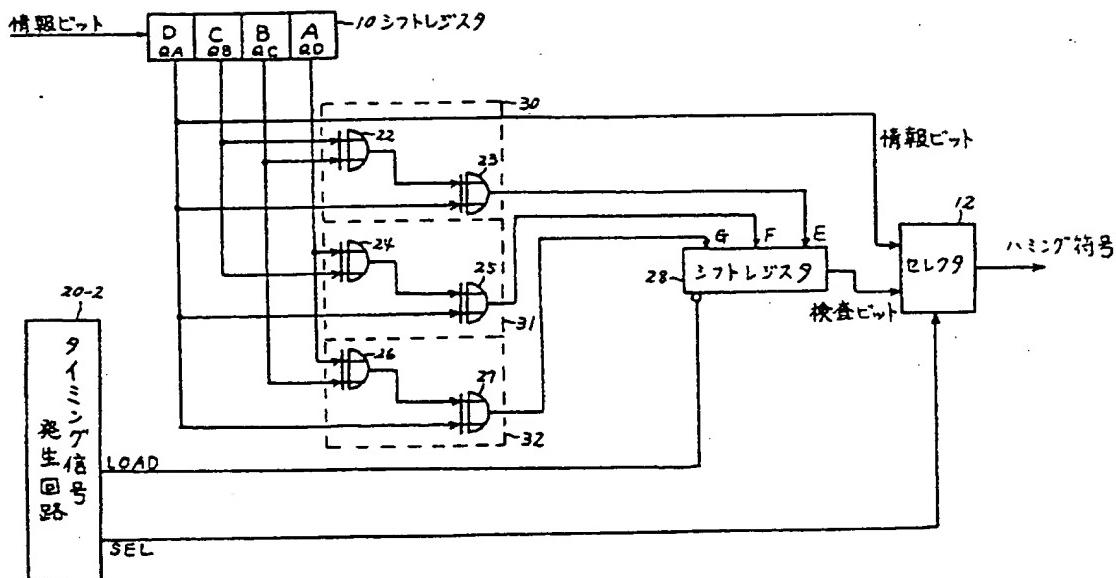


第4図の場合のタイミング図
第5図



本発明の1段階を説明する1例のハミング符号化器の
ブロック図

第4図



従来例のハミング符号化器のブロック図

第6図

